

MANUFACTURE OF SEMICONDUCTOR DEVICE

Patent Number: JP9027596
Publication date: 1997-01-28
Inventor(s): OBA YOSHIYUKI; HODATE KEIICHI
Applicant(s): SANYO ELECTRIC CO LTD
Requested Patent: ☐ JP9027596
Application Number: JP19950175190 19950711
Priority Number(s):
IPC Classification: H01L27/108; H01L21/8242; H01L21/768
EC Classification:
Equivalents:

Abstract

PROBLEM TO BE SOLVED: To obtain a semiconductor device in which the disconnection in a contact hole of an interconnection is suppressed, in which a rise in a contact resistance is suppressed and which can be made fine by installing a process in which a tungsten film is buried into the contact hole coming into contact with a diffusion layer on the other side of a transistor and which forms a bit line.

SOLUTION: Contact holes 12 are formed in such a way that they come into contact with an N⁺ drain diffusion layer 6A in a memory cell part A, with a gate electrode 4 which is formed on a LOCOS oxide film 2 in a peripheral circuit part B, with N⁺ diffusion layers 5A, 6A of a MOS transistor in the peripheral circuit part B and with P⁺ diffusion layers 5B, 6B in a sense amplifier part C. Then, a tungsten film is deposited by a gas such as SF₆ or the like, it is then etched by a gas such as SF₆ or the like, and tungsten films 13 are buried into the contact holes 12. In succession, tungsten interconnections 14 which are connected to the buried tungsten films 13 are formed. Thereby, a pattern layout becomes free, and a semiconductor device can be made fine.

Data supplied from the esp@cenet database - I2

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平9-27596

(43) 公開日 平成9年(1997)1月28日

(51) Int.Cl. ⁵	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 27/108			H 0 1 L 27/10	6 8 1 B
21/8242			21/90	D
21/768				

審査請求 未請求 請求項の数 4 O L (全 8 頁)

(21) 出願番号 特願平7-175190

(22) 出願日 平成7年(1995)7月11日

(71) 出願人 000001889

三洋電機株式会社

大阪府守口市京阪本通2丁目5番5号

(72) 発明者 大場 義之

大阪府守口市京阪本通2丁目5番5号 三

洋電機株式会社内

(72) 発明者 甫立 恵一

大阪府守口市京阪本通2丁目5番5号 三

洋電機株式会社内

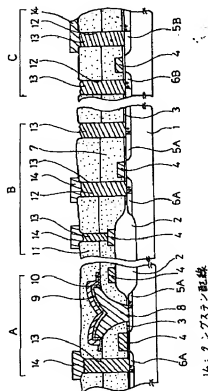
(74) 代理人 弁理士 岡田 敬

(54) 【発明の名称】 半導体装置の製造方法

(57) 【要約】

【目的】 DRAMのビットライン及び周辺回路部内の配線層のコンタクト孔内での断線やコンタクト抵抗の上昇等を抑制すると共に、装置の微細化をはかる。

【構成】 ビットラインに使用する配線層や周辺回路部の配線層をタングステン膜で形成したことにより、コンタクト孔内での断線やコンタクト抵抗の上昇が抑制される。



【特許請求の範囲】

【請求項 1】 半導体基板にメモリーセル部の MOS トランジスタを形成する工程と、

前記トランジスタを被覆するように層間絶縁膜を形成する工程と、

前記トランジスタの一方の拡散層とコンタクトするようにストレージ電極を形成する工程と、

前記ストレージ電極を被覆するように容量絶縁膜を形成する工程と、

前記容量絶縁膜を被覆するようにセルプレート電極を形成する工程と、

前記基板全面を被覆するように層間絶縁膜を形成する工程と、

前記トランジスタの他方の拡散層とコンタクトするコンタクト孔を形成した後に該コンタクト孔内にタングステン膜を埋設してビットラインを形成する工程とを有することを特徴とする半導体装置の製造方法。

【請求項 2】 半導体基板にメモリーセル部と周辺回路部の各 MOS トランジスタを形成する工程と、

前記トランジスタを被覆するように層間絶縁膜を形成する工程と、

前記メモリーセル部のトランジスタの一方の N⁺ 型の拡散層とコンタクトするようにストレージ電極を形成する工程と、

前記ストレージ電極を被覆するように容量絶縁膜を形成する工程と、

前記容量絶縁膜を被覆するようにセルプレート電極を形成する工程と、

前記基板全面を被覆するように層間絶縁膜を形成する工程と、

前記メモリーセル部のトランジスタの他方の N⁺ 型の拡散層あるいは周辺回路部のトランジスタの N⁺ 型の拡散層と周辺回路部のトランジスタの P⁺ 型の拡散層とにコンタクトするコンタクト孔を形成した後に該コンタクト孔内にタングステン膜を埋設する工程とを有することを特徴とする半導体装置の製造方法。

【請求項 3】 半導体基板にメモリーセル部の MOS トランジスタを形成する工程と、

前記トランジスタを被覆するように層間絶縁膜を形成する工程と、

前記トランジスタの一方の拡散層とコンタクトするようにストレージ電極を形成する工程と、

前記ストレージ電極を被覆するように容量絶縁膜を形成する工程と、

前記容量絶縁膜を被覆するようにセルプレート電極を形成する工程と、

前記基板全面を被覆するように層間絶縁膜を形成する工程と、

前記トランジスタの他方の拡散層とコンタクトするコンタクト孔を形成した後に該コンタクト孔内にタングス

ン膜を埋設する工程と、

以降の層間絶縁膜を低温デポジションにより形成する工程とを有することを特徴とする半導体装置の製造方法。

【請求項 4】 半導体基板にメモリーセル部と周辺回路部の各 MOS トランジスタを形成する工程と、

前記トランジスタを被覆するように層間絶縁膜を形成する工程と、

前記メモリーセル部のトランジスタの N⁺ 型の一方の拡散層とコンタクトするようにストレージ電極を形成する工程と、

前記ストレージ電極を被覆するように容量絶縁膜を形成する工程と、

前記容量絶縁膜を被覆するようにセルプレート電極を形成する工程と、

前記基板全面を被覆するように層間絶縁膜を形成する工程と、

前記メモリーセル部のトランジスタの N⁺ 型の他方の拡散層あるいは周辺回路部のトランジスタの N⁺ 型の拡散層と周辺回路部のトランジスタの P⁺ 型の拡散層とにコンタクトするコンタクト孔を形成した後に該コンタクト孔内にタングステン膜を埋設する工程と、

基板全面にタングステン膜をデポジションした後にレジスト膜を介してパターンニングしてタングステン配線を形成する工程と、

基板全面に低温デポジションにより層間絶縁膜を形成する工程と、

前記層間絶縁膜にレジスト膜をマスクにしてエッチングして前記周辺回路部の N⁺ 型の拡散層及び P⁺ 型の拡散層にコンタクトした各コンタクト孔内に埋め込まれたタングステン膜の表面が露出するようにコンタクト孔を形成する工程と、

基板全面にアルミニウム膜をデポジションした後にレジスト膜を介してパターンニングして前記各タングステン膜に接続するアルミ配線を形成する工程とを有することを特徴とする半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、半導体装置の製造方法に関し、更に詳しくは DRAM の製造方法におけるビットラインのコンタクト孔内での断線やコンタクト抵抗の上昇等を抑制することを目的とする。

【0002】

【従来の技術】 従来、DRAM においてビットラインに使用する配線層及び周辺回路部の配線層には、タングステンシリサイド膜 (WSi₂) とポリシリコン膜の 2 層構造とするのが通常であった。しかし、この配線層と拡散層を結ぶコンタクト孔が深くなると、配線層がコンタクト孔内で断線したり、薄くなりコンタクト抵抗が上昇することがあった。以下、この種の半導体装置の製造方法について図 6 乃至図 7 を基に説明する。

【0003】図6に示す51は一導電型の半導体基板、例えばP型シリコン基板で、A部、B部及びC部にはそれぞれメモリーセル部と周辺回路部と、更に周辺回路部の一つとしてセンスアンプ部を形成するものである。まず、該基板上のフィールド領域にLOCOS酸化膜52を形成し、その他の部分にはゲート酸化膜53を形成する。本工程では、例えば基板51を約500Åのパッド酸化膜と約1000ÅのLPCVD法で付着したシリコン窒化膜で被覆し、活性領域のみを被覆するようにシリコン窒化膜のパターニングをする。その後、選択酸化によりフィールド領域に約6000ÅのLOCOS酸化膜52を形成する。また、基板51の活性領域には約1700Åのゲート酸化膜53を熱酸化により形成する。

【0004】続いて、LPCVD法によりポリシリコン膜を全面に付着した後に、例えばリン等の不純物を拡散してこのポリシリコン膜を導電化する。次いで、このポリシリコン膜をパターンニングして、メモリーセル部AのMOSTランジスタ、周辺回路部BのMOSTランジスタ及びセンスアンプ部CのMOSTランジスタのゲート電極54を形成する。即ち、本工程では例えば全面に約2000Åのポリシリコン膜をLPCVD法で付着し、N⁺型にドーピングしている。このゲート電極54はメモリーのワード線として働く。

【0005】次に、センスアンプ部C形成領域上に不図示のレジスト膜を形成した後に、当該レジスト膜、前記LOCOS酸化膜52及びゲート電極54をマスクにしてリン、ヒ素等を入力して、メモリーセル部AのMOSTランジスタ及び周辺回路部BのMOSTランジスタを構成するN⁺型の拡散層55A、55Bを形成する。続いて、前記レジスト膜を除去した後、メモリーセル部A及び周辺回路部B形成領域上に不図示のレジスト膜を形成し、該レジスト膜とゲート電極54をマスクにして例えばボロン等を入力して、センスアンプ部CのMOSTランジスタを構成するP⁺型の拡散層55B、55Bを形成する。その後、前記レジスト膜を除去し、シリコン酸化膜より成る層間絶縁膜57をLPCVD法で全面に付着する。

【0006】続いて、前記メモリーセル部Aの一方の拡散層例えばソース拡散層55Aにコンタクトするコンタクト孔を形成した後に、ポリシリコン膜をLPCVD法で付着し、パターンニングしてストレージ電極58を形成する。本工程では、例えばレジスト膜を用いて拡散層55A上の層間絶縁膜57とゲート酸化膜53にコンタクト孔を形成し、全面にポリシリコン膜を約3000Åの厚みにLPCVD法で付着している。その後、このポリシリコン膜はリンの不純物拡散により導電性を高めている。

【0007】次に、全面にシリコン酸化膜とシリコン窒化膜から成る容量絶縁膜59及びポリシリコン膜を付着した後に、パターンニングしてセルプレート電極60を形

成する。本工程では、例えば全面に約1200ÅのLPCVD法で形成されたシリコン窒化膜を付着し、約900℃で30分間のドライ酸化を行う。その後、全面にLPCVD法で約1500Åのポリシリコン膜を付着し、N⁺型にドーピングする。続いて、ポリシリコン膜のセルプレート電極60となる領域上にレジスト膜で被覆して、これをマスクとしてポリシリコン膜、シリコン窒化膜及びシリコン酸化膜をエッチングしてセルプレート電極60を形成する。

【0008】その後、全面に層間絶縁膜61を形成した後に、前記メモリーセル部Aの他方の拡散層例えばドレイン拡散層56A、周辺回路部BのLOCOS酸化膜52上に形成したゲート電極54及び周辺回路部BのMOSTランジスタの拡散層56Aにコンタクトするコンタクト孔62を形成する。次に、例えばタングステンシリサイド膜(WSix)とポリシリコン膜をデポジションし、パターンニングすることにより、金属配線63、63Aを形成する。ここまでの工程を経て半導体装置は、図6に示す状態となる。

【0009】次に、基板全面に層間絶縁膜64を形成する。続いて、前記層間絶縁膜64上に不図示のレジスト膜を形成した後に、該レジスト膜をマスクにして該層間絶縁膜64、61、57をエッチングして、図7に示すように周辺回路部BのMOSTランジスタの拡散層55A及びセンスアンプ部CのMOSTランジスタの拡散層55B、55Bにコンタクトするコンタクト孔65を形成すると共に不図示しないN⁺型の拡散層に連結された金属配線63AとP⁺型の拡散層55Bとを接続するためのコンタクト孔65Aを形成する。

【0010】そして、基板全面にアルミニウム膜をデポジションした後に、不図示のレジスト膜を介してパターンニングしてアルミ配線66を形成すると共にP⁺型の拡散層55Bと金属配線63Aとを接続するためのアルミ配線層66Aを形成し、図7に示すように全面にパッシベーション膜67を形成している。以上のようにして形成された半導体装置において、前述したようにタングステンシリサイド膜(WSix)とポリシリコン膜から成る金属配線層と拡散層を結ぶコンタクト孔が深くなると、金属配線層がコンタクト孔内で断線したり、薄くなりコンタクト抵抗が上昇するという不都合があった。

【0011】そこで、このような場合断線等を防止するためにコンタクト孔の開口径を広くとり、コンタクト孔の側壁をなだらかに傾斜させるようにしていた。そのため、装置の微細化の妨げとなっていた。また、N⁺型の拡散層とP⁺型の拡散層間に接続される配線層を形成する場合に、N⁺型にドーピングされているタングステンシリサイド膜(WSix)とポリシリコン膜から成る金属配線層とP⁺型拡散層とを結ぶことができず、N⁺型拡散層とP⁺型拡散層とを直接接続できず、該配線層と拡散

層とをつなぐアルミ配線を形成するようにしていた。

【0012】このため、図7に示すようにパターンレイアウトが不自由となり、微細化の妨げとなっていた。

【0013】

【発明が解決しようとする課題】従って、本発明はDRAMのビットライン及び周辺回路部内の配線層のコンタクト孔内での断線やコンタクト抵抗の上昇等を抑制すると共に、装置の微細化をはかることを目的とする。

【0014】

【課題を解決するための手段】そこで、本発明は半導体基板にメモリーセル部のMOSトランジスタを形成した後に、前記トランジスタを被覆するように層間絶縁膜を形成し、該トランジスタの一方の拡散層とコンタクトするようにストレージ電極を形成し、該ストレージ電極を被覆するように容量絶縁膜を形成し、該容量絶縁膜を被覆するようにセルプレート電極を形成し、前記基板全面を被覆するように層間絶縁膜を形成し、前記トランジスタの他方の拡散層とコンタクトするコンタクト孔を形成した後に該コンタクト孔内にタングステン膜を埋設してビットラインを形成するものである。

【0015】また、本発明は前記メモリーセル部のビットライン形成用のコンタクト孔を形成すると同時に周辺回路部の配線層用のコンタクト孔を形成した後に、それらコンタクト孔内にタングステン膜の埋め込みを行うものである。更に、本発明は前記タングステン膜でビットラインを形成した後の層間絶縁膜の形成は低温デポジションでTEOS膜（テトラエチルオルソシリケートグラス）を形成するものである。

【0016】更に、本発明はN⁺型の拡散層とP⁺型の拡散層とを結ぶ配線層を形成する際に、それら拡散層にコンタクトするコンタクト孔内に既に形成されているタングステン膜を介してタングステン配線を形成するものである。

【0017】

【作用】以上の構成から、DRAMにおいて、ビットラインに使用する配線層をタングステン膜で形成したことにより、コンタクト孔内での断線やコンタクト抵抗の上昇が抑制される。また、同様に周辺回路部の配線層をタングステン膜で形成したことにより、コンタクト孔内での断線やコンタクト抵抗の上昇が抑制される。

【0018】更に、本発明は前記タングステン膜でDRAMのビットラインや周辺回路部の配線層を形成した後の層間絶縁膜の形成は、低温デポジションでTEOS膜（テトラエチルオルソシリケートグラス）を形成するようにしたことにより、高温熱処理を行った場合に発生するおそれのあった前記タングステン膜の異常酸化や、異常成長して拡散層を貫通してしまうことで発生するリークが防止される。

【0019】また、本発明はN⁺型の拡散層とP⁺型の拡散層とを結ぶ配線層を形成する場合には、それら拡散

層にコンタクトするコンタクト孔内に既に形成されているタングステン膜の上にタングステン配線を形成することにより、前記拡散層同士が直接結線されるので、パターンレイアウトの自由度が増し、微細化されると共に上層でのアルミのステップカバレッジが向上する。

【0020】

【実施例】以下、本発明の一実施例を図に基づき詳述する。図1に示す1は一導電型の半導体基板、例えばP型シリコン基板で、A部、B部及びC部にはそれぞれメモリーセル部と周辺回路部、更に周辺回路部の一つとして例えばセンスアンプ部を形成するものである。

【0021】先ず、該基板上のフィールド領域にLOCOS酸化膜2を形成し、その他の部分にはゲート酸化膜3を形成する。本工程では、例えば基板1を約500Åのパッド酸化膜と約1000ÅのLPCVD法で付着したシリコン窒化膜で被覆し、活性領域のみを被覆するようにシリコン窒化膜のパターニングをする。その後、選択酸化によりフィールド領域に約6000ÅのLOCOS酸化膜2を形成する。また、基板1の活性領域には約170Åのゲート酸化膜3を熱酸化により形成する。

【0022】続いて、LPCVD法によりポリシリコン膜を全面に付着した後に、例えばリン等の不純物を拡散してこのポリシリコン膜を導電化する。次いで、このポリシリコン膜をパターニングして、メモリーセル部AのMOSトランジスタ、周辺回路部BのMOSトランジスタ及びセンスアンプ部CのMOSトランジスタのゲート電極4を形成する。即ち、本工程では例えば全面に約2000Åのポリシリコン膜をLPCVD法で付着し、N⁺型にドーピングしている。このゲート電極4はメモリーのワード線として働く。

【0023】次に、センスアンプ部C形成領域上に不図示のレジスト膜を形成した後、当該レジスト膜、前記LOCOS酸化膜2及びゲート電極4をマスクにしてリン、ヒ素等を注入して、メモリーセル部AのMOSトランジスタのN⁺型のソース拡散層5A及びN⁺型のドレイン拡散層6A及び周辺回路部BのMOSトランジスタを構成するN⁺型の拡散層5A、6Aを形成する。続いて、前記レジスト膜を除去した後、メモリーセル部A及び周辺回路部B形成領域上に不図示のレジスト膜を形成し、該レジスト膜とゲート電極4をマスクにして例えばボロン等を注入して、センスアンプ部CのMOSトランジスタを構成するP⁺型の拡散層5B、6Bを形成する。その後、前記レジスト膜を除去し、シリコン酸化膜による層間絶縁膜7をLPCVD法で全面に付着する。

【0024】続いて、前記メモリーセル部Aのソース拡散層5Aにコンタクトするコンタクト孔を形成した後に、全面にポリシリコン膜をLPCVD法で付着し、パターニングしてストレージ電極8を形成する。本工程では、例えばレジスト膜を用いてソース拡散層A上の層

間絶縁膜7とゲート酸化膜3にコンタクト孔を形成し、全面にポリシリコン膜を約3000Åの厚みにLPCVD法で附着している。その後、このポリシリコン膜はリンの不純物拡散により導電性を高めている。

【0025】次に、全面にシリコン酸化膜とシリコン窒化膜から成る容量絶縁膜9及びポリシリコン膜を附着した後に、パターンニングしてセルプレート電極10を形成する。本工程では、例えば全面に約120ÅのLPCVD法で形成されたシリコン窒化膜を附着し、約900℃で30分間のドライ酸化を行う。その後、全面にLPCVD法で約1500Åのポリシリコン膜を附着し、N⁺型にドーピングする。続いて、ポリシリコン膜のセルプレート電極10となる領域上をレジスト膜で被覆して、これをマスクとしてポリシリコン膜、シリコン窒化膜及びシリコン酸化膜をエッチングしてセルプレート電極10を形成する。

【0026】その後、全面に層間絶縁膜11を形成した後に、前記メモリセル部AのN⁺型のドレイン拡散層6A、周辺回路部BのLOCOS酸化膜2上に形成したゲート電極4、周辺回路部BのMOSトランジスタのN⁺型の拡散層5A、6A及びセンスアンプ部CのP⁺型の拡散層5B、6Bにコンタクトするコンタクト孔12を同時に形成する。ここまでの工程を経て半導体装置は、図1に示す状態となる。

【0027】次に、例えばWF₆、SiH₄、H₂、Ar、N₂等のガスを添加しながら、タングステン膜をデポジションした後に、例えばSF₆、Ar、He、C12等のガスでエッチバックして、図2に示すように前記コンタクト孔12内にタングステン膜13を埋め込む。続いて、基板全面に約3000Åのタングステン膜を形成して、不図示のレジスト膜をマスクにして、図3に示すように前記メモリセル部Aのドレイン拡散層6A、周辺回路部BのLOCOS酸化膜2上に形成したゲート電極4、周辺回路部BのMOSトランジスタの拡散層6A及びセンスアンプ部Cのトランジスタの拡散層5Bにコンタクトするコンタクト孔12内に埋め込まれたタングステン膜13に接続するタングステン配線14を形成する。このとき、P⁺型の拡散層5Bと不図示しないN⁺型の拡散層にコンタクトするコンタクト孔12内に埋め込まれたタングステン膜13を介してタングステン配線14がそのまま直接接続されるので、パターンレイアウトが自由になり、微細化がはかれる。尚、このタングステン配線は前記前工程のコンタクト孔へのタングステン膜の埋め込み工程時に、タングステン膜をパターンニングしてタングステン配線を同時に形成するようにしても良い。

【0028】次に、基板全面に図4に示すように層間絶縁膜15を形成する。本工程は、前記コンタクト孔内にタングステン膜13を埋め込んだ後に高温熱処理を行うと、例えばタングステン膜13が異常酸化や、異常成長

して拡散層6Aを貫通したとするとリークが発生するとか、タングステン膜で薄いビットラインとしての金属配線が形成されているとした場合には、ストレスの変化により金属配線がめくれあがって壊れることがあり、高温熱処理が不可能となる。従って、該層間絶縁膜15は例えば約420℃程の低温デポジションで形成する。そのため、先ずプラズマTEOS膜を約100nm形成した後、膜厚が約200nmとなるSOG膜を2回塗布し、常圧TEOS膜を約850nm形成し、それらを750nmエッチバックした後、プラズマTEOS膜を約200nm形成して、約800nmの層間絶縁膜15を形成する。

【0029】続いて、前記層間絶縁膜15上に不図示のレジスト膜を形成した後に、該レジスト膜をマスクにして、前記周辺回路部BのN⁺型の拡散層5A及びセンスアンプ部CのP⁺型の拡散層6Bにコンタクトするコンタクト孔12内に前記工程により既に形成されているタングステン膜13の表面が露出するまで該層間絶縁膜15をエッチングして、コンタクト孔16を形成する。

【0030】その後、全面にアルミニウム膜をデポジションした後に、不図示のレジスト膜を介してパターンニングして図5に示すようにアルミ配線17を形成する。そして、全面にパッシベーション膜18を形成する。以上のように、コンタクト孔内にタングステン膜を埋め込むことにより、配線層と拡散層とを結ぶコンタクト孔が深くても、従来のような断線やコンタクト抵抗の上昇が防止される。

【0031】また、コンタクト孔内に既に形成してあるタングステン膜を介してタングステン配線を形成するようにしているため、該タングステン配線でN⁺型の拡散層とP⁺型拡散層とをそのまま直接接続することができるようになり、パターンレイアウトが自由になり、微細化がはかれる。

【0032】

【発明の効果】以上、本発明によればDRAMのビットラインに使用する配線層や周辺回路部の配線層をタングステン膜で形成したため、例えば配線層と拡散層とを結ぶコンタクト孔が深い場合でも、該配線層がコンタクト孔内で断線したり、または薄くなってコンタクト抵抗が上昇することが抑制できる。

【0033】また、N⁺型の拡散層とP⁺型の拡散層とをそのまま直接接続することができるように、パターンレイアウトが自由になり、微細化がはかれる。更に、アルミニウム膜のステップカバレージが改善できる。

【図面の簡単な説明】

【図1】本発明の半導体装置の製造工程を示す第1の断面図である。

【図2】本発明の半導体装置の製造工程を示す第2の断面図である。

【図3】本発明の半導体装置の製造工程を示す第3の断面図である。

【図4】本発明の半導体装置の製造工程を示す第4の断面図である。

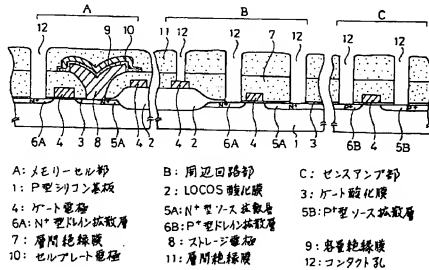
【図5】本発明の半導体装置の製造工程を示す第5の断

面図である。

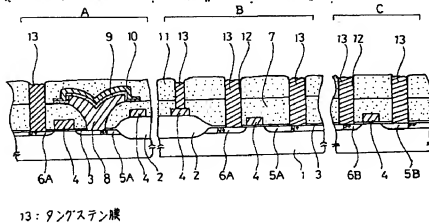
【図6】従来の半導体装置の製造工程を示す第1の断面図である。

【図7】従来の半導体装置の製造工程を示す第2の断面図である。

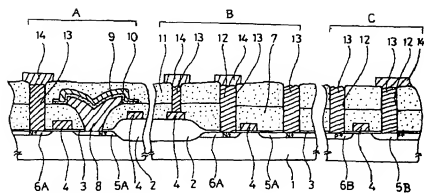
【図1】



【図2】

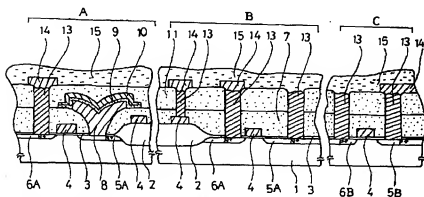


【図 3】



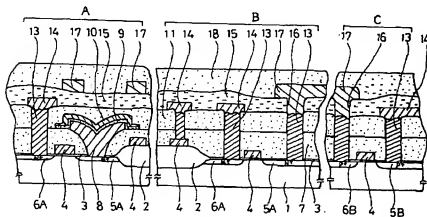
14: タングステン配線

【図 4】



15: 層間絶縁膜

【図 5】

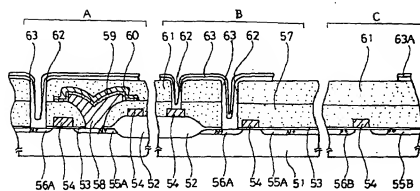


16: コンタクト孔

17: アルミ配線

18: パッシベーション膜

【図6】



【図7】

